

CLIPPEDIMAGE= JP405100864A

PAT-NO: JP405100864A

DOCUMENT-IDENTIFIER: JP 05100864 A

TITLE: MICRO PROGRAM ASSEMBLER

PUBN-DATE: April 23, 1993

INVENTOR-INFORMATION:

NAME

NAKAMURA, AKIO

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP03262463

APPL-DATE: October 11, 1991

INT-CL (IPC): G06F009/45;G06F009/22

ABSTRACT:

PURPOSE: To provide a micro program assembler which can suppress the read wait time of a control memory against the execution time of a processor to a minimum.

CONSTITUTION: A priority decision part 9 converting the content of a 'label part' in an address which is to be executed next in a format on a label reference table into the content of the 'label part' of a micro instruction whose priority is the highest by viewing the label reference table of the format translated into a machine word is provided for the micro program assembler. When a source code is assembled, the physical address of the control memory of the micro instruction whose priority is the highest is set in the 'label part' in the address which is to be executed next to the respective translated micro instructions. Thus, the read wait time of the instruction of the processor is reduced, the program is effectively executed in the cycle time of the processor and the performance of the data processor can be improved.

COPYRIGHT: (C)1993, JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-100864

(43)公開日 平成5年(1993)4月23日

(51)IntCl ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/45				
9/22	3 2 0 Z	9193-5B		
		9292-5B	G 0 6 F 9/ 44	3 2 0 D

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-262463

(22)出願日 平成3年(1991)10月11日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 中村 彰男

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

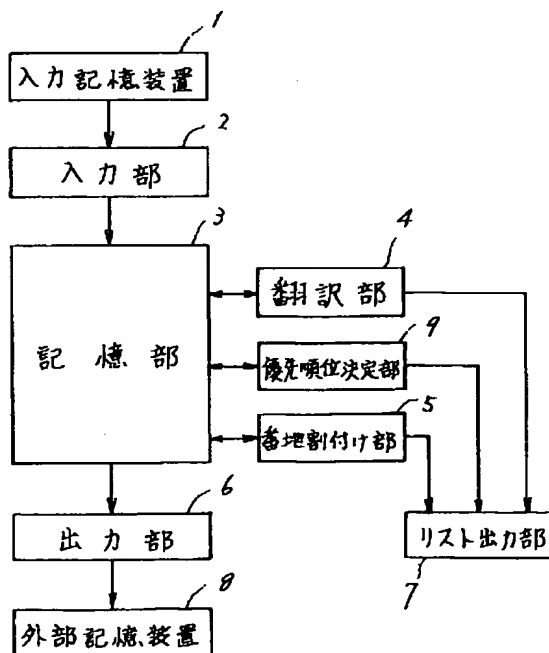
(74)代理人 弁理士 森本 義弘

(54)【発明の名称】 マイクロプログラムアセンブラ

(57)【要約】

【目的】プロセッサの実行時間に対する制御メモリの読出し待ち時間を最小にできるマイクロプログラムアセンブラを提供する。

【構成】マイクロプログラムアセンブラにおいて、機械語に翻訳しているフォーマットのラベル参照テーブルを見て、ラベル参照テーブル上のフォーマットの、次に実行すべき番地の「ラベル部」の内容を、最も優先度の高いマイクロ命令の「ラベル部」の内容に変換する優先順位決定部9を設けたことにより、ソースコードをアセンブルすると、翻訳された各マイクロ命令の次に実行すべき番地の「ラベル部」には、最も優先度の高いマイクロ命令の制御メモリの物理アドレスがセットされる。これにより、プロセッサの命令読出しの待ち時間が少なくなり、実効的にプロセッサのサイクルタイムでプログラムを実行し、データ処理装置のパフォーマンスを向上することができる。



【特許請求の範囲】

【請求項1】 少なくとも2つ以上のラベル部と、命令部とを備えたフォーマットで記述されたマイクロ命令を機械語に変換するマイクロプログラムアセンブラであって、

前記2つ以上のラベル部の内、次に実行すべき番地のラベル部の内容を、優先度の高いマイクロ命令のラベル内容に変換する手段を備えたことを特徴とするマイクロプログラムアセンブラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロプログラムアセンブラ、特にそのマイクロ命令フォーマットの次に実行すべき番地のラベル部を変換する手段に関するものである。

【0002】

【従来の技術】以下、従来のマイクロプログラムアセンブラの一例について説明する。マイクロプログラムをマイクロアセンブラ言語で記述して、機械語にアセンブルする場合、アセンブル言語で記述される各マイクロ命令のフォーマットは、「第1ラベル部」、「第2ラベル部」、「命令部」に区切られる。なお、「ラベル部」は2つ以上になることもある。

【0003】ここで、「第1ラベル部」：番地につける名標、「第2ラベル部」：次に実行すべき番地のラベル、「命令部」：処理内容を指定するコード、である。

【0004】水平型マイクロプログラムに対するアセンブラは、上記形式で記述されたフォーマットを読み出し、機械語に翻訳する。図2に従来のマイクロプログラムアセンブラの構成図を示す。

【0005】図2において、1はマイクロプログラムのソースコードが格納されている入力記憶装置であり、この入力記憶装置1からソースコードは入力部2を通じて記憶部3に格納される。ソースコードは記憶部3に格納されると、翻訳部4において、各マイクロ命令のフォーマットを読み出し、「命令部」の命令ニーモニックを機械語に変換し、リスト出力部7に出力すると共に、機械語に翻訳しているフォーマットが、どのフォーマットの「ラベル部」を指定しているかを示すラベル参照テーブルを作成して記憶部3に格納する。次に、番地割付け部5においては、各マイクロ命令に対して制御メモリ上の物理番地を割り付け、リスト出力部7に出力すると共に、割付け結果の番地を、各マイクロ命令の「アドレス部」にセットする。

【0006】この様にして、ソースコードの各フォーマットを「命令部」、「アドレス部」からなる機械語に翻訳した結果は、出力部6を介して外部記憶装置8に出力され、オブジェクトコードとして格納される。

【0007】実行に際して、機械語に翻訳されたマイ

クロプログラムは、外部記憶装置8から制御メモリに格納され、制御メモリのアクセスタイムにしたがって読み出され、実行される。

【0008】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、制御メモリのアクセスタイムがプロセッサのサイクルタイムより遅い場合、プロセッサの実行時間に対して待ち時間が必要になり、プロセッサの処理能力を低下させるという問題を有していた。

10 【0009】本発明は上記問題を解決するものであり、プロセッサ実行時間に対する待ち時間を最小にできるマイクロプログラムアセンブラを提供することを目的とするものである。

【0010】

【課題を解決するための手段】上記問題を解決するため本発明のマイクロプログラムアセンブラは、ラベル部の内、次に実行すべき番地のラベル部の内容を、優先度の高いマイクロ命令のラベル内容に変換する手段を備えた構成を有している。

20 【0011】

【作用】上記構成により、翻訳された各マイクロ命令の次に実行すべき番地のラベル部には、最も優先度の高いマイクロ命令の制御メモリの物理アドレスがセットされ、高速にアクセスされる。よって、命令読みだしのための待ち時間が少なくなり、実効的にプロセッサのサイクルタイムでプログラムを実行することが可能になる。

【0012】

【実施例】以下、本発明の一実施例を図面に基いて説明する。なお、従来例の図2と同一の構成には同一の符号を付して説明を省略する。

30 【0013】図1において、9は予めラベルの順位が設定された優先順位決定部であり、機械語に翻訳しているフォーマットのラベル参照テーブルを見て、ラベル参照テーブル上のフォーマットの「第2ラベル部」の内容を、最も優先度の高いマイクロ命令の「ラベル部」の内容に変換する。

40 【0014】以上のように構成されたマイクロプログラムアセンブラについて、以下その動作について説明する。まず、ソースコードが入力記憶装置1から入力部2を通じて記憶部3に格納される。ソースコードが記憶部3に格納されると、翻訳部4において、各フォーマットを読み出し、「命令部」の命令ニーモニックを機械語に変換し、リスト出力部7に出力すると共に、ラベル参照テーブルを作成して記憶部3に格納する。

50 【0015】ここで優先順位決定部9を設けることにより、現在機械語に翻訳しているフォーマットが、どのフォーマットの「ラベル部」を指定しているかを示すラベル参照テーブルを見て、最も優先度の高いマイクロ命令の「ラベル部」の内容を認識し、ラベル参照テーブル上のフォーマットの「第2ラベル部」に挿入する事ができ

3

る。また、変換した「ラベル部」の内容はリスト出力部7に出力される。

【0016】次に、番地割付け部5においては、各マイクロ命令に対して制御メモリ上の物理番地を割り付け、リスト出力部7に出力すると共に、割付け結果の番地を、各マイクロ命令の「アドレス部」にセットする。

【0017】このようにして、ソースコードの各フォーマットを「命令部」、「アドレス部」からなる機械語に翻訳した結果を外部記憶装置8に、オブジェクトコードとして格納する。

【0018】以上のように本実施例によれば、マイクロプログラムアセンブルにおいて、ソースコードをアセンブルすると、翻訳された各マイクロ命令の「第2ラベル部」には、最も優先度の高いマイクロ命令の制御メモリの物理アドレスがセットされ、高速なアクセスを実行することができ、命令読みだしのための待ち時間が少なくなり、実効的にプロセッサのサイクルタイムでプログラムを実行することができる。

【0019】

【発明の効果】以上のように本発明によれば、翻訳された各マイクロ命令の次に実行すべき番地のラベル部には、最も優先度の高いマイクロ命令の制御メモリの物理

4

アドレスがセットされることにより、高速にアクセスすることができ、命令読みだしのための待ち時間が少なくなり、実効的にプロセッサのサイクルタイムでプログラムを実行することができ、データ処理装置のパフォーマンスを向上することができる優れたマイクロプログラムアセンブラを提供することができる。

【図面の簡単な説明】

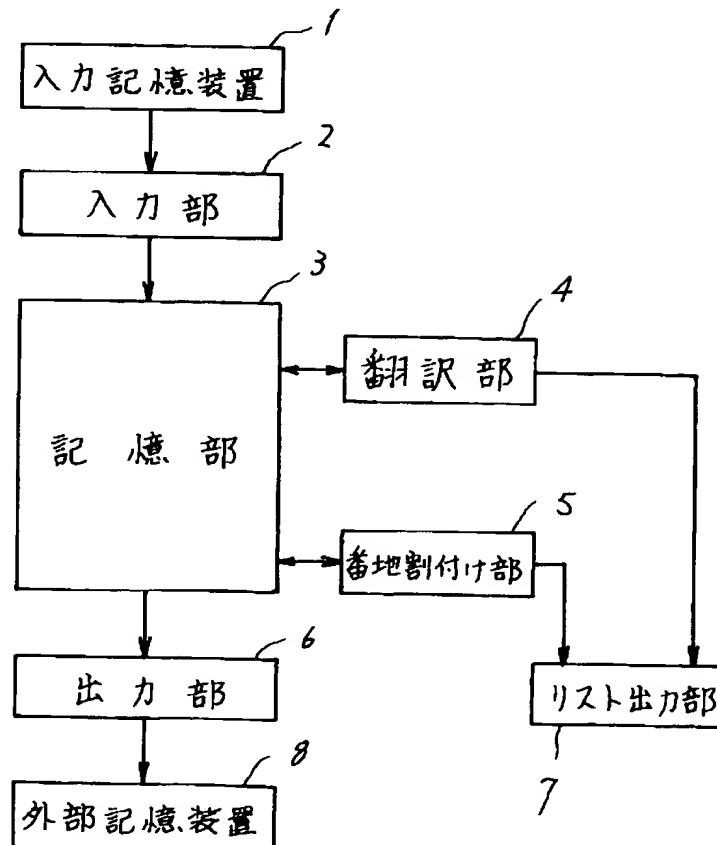
【図1】本発明の一実施例におけるマイクロプログラムアセンブラの構成図である。

10 【図2】従来のマイクロプログラムアセンブラの構成図である。

【符号の説明】

- 1 入力記憶装置
- 2 入力部
- 3 記憶部
- 4 翻訳部
- 5 番地割付け部
- 6 出力部
- 7 リスト出力部
- 8 外部記憶装置
- 9 優先順位決定部

【図2】



【図1】

